

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-027241
 (43)Date of publication of application : 30.01.1989

(51)Int.CI.

H01L 21/82
H01L 21/66

(21)Application number : 63-154702
 (22)Date of filing : 24.06.1988

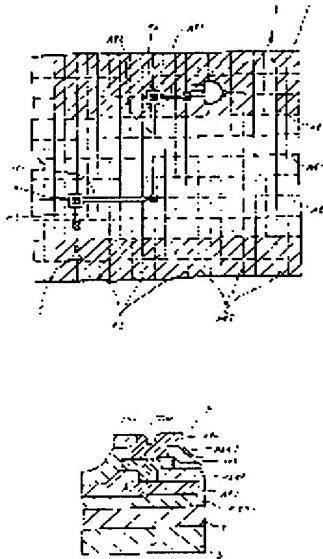
(71)Applicant : HITACHI LTD
 (72)Inventor : MASUDA KOJI
 FUJITA MINORU
 KATONO SHINJI
 KATO MASAO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To allow internal signal observation to be made easily and accurately within a complex unit of multi-layer wiring construction by connecting to an upper-layer wiring through a through-hole formed on a specified position of lower-layer wiring.

CONSTITUTION: While an element occupation area on layout is reduced by minimizing system wiring pitch, an observation pad P1 or P2 is provided on an output lead line of inverter in one unit cell row (or on an input lead line of, for example NAND, of the other unit cell row). Then, these observation pads P1 and P2 are in vertical pad construction where PS or AI2 has been pulled to the uppermost AI3 on the same coordinate grid point system wiring pitch as an output lead line. By applying a probe for observing potential to AI3, internal signal waveform or internal signal can be directly measured and the observation becomes easy and accurate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報 (A)

昭64-27241

⑬ Int.Cl.

H 01 L 21/82
21/66

識別記号

序内整理番号

7925-5F
E-6851-5F

⑭ 公開 昭和64年(1989)1月30日

審査請求 有 発明の数 1 (全7頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特願 昭63-154702

⑰ 出願 昭56(1981)6月24日

⑱ 特願 昭56-96639の分割

⑲ 発明者 増田 孝次 東京都小平市上水本町1450番地 株式会社日立製作所コンピュータ事業本部デバイス開発センター内

⑲ 発明者 藤田 実 東京都小平市上水本町1450番地 株式会社日立製作所コンピュータ事業本部デバイス開発センター内

⑲ 発明者 上遠野 臣司 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発明者 加藤 正男 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内

⑳ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代理人 弁理士 小川 勝男 外1名

明細書

1. 発明の名称 半導体集積回路装置

2. 特許請求の範囲

1. 複数のユニットセルを有する半導体集積回路装置において、前記ユニットセル内に設けられた、下層は所望の配線部を構成し、上層は所望パターンの観測端子を構成する観測パッド部を有することを特徴とする半導体集積回路装置。

以下余白

3. 発明の詳細な説明

本発明は、特に、C A D (Computer Aided Design) 又は D A (Design Automation) 等の設計技術によりレイアウト設計がなされた大規模集積回路装置(以下、LSIと称する場合がある)に好適な半導体装置に関するものである。

この種のレイアウト設計は、多品種LSIの設計、設計期間の短縮、設計工数の削減及び設計品質の向上という観点から特に電子計算機を用いて行なわれているが、このために、半導体ウェハ上に予め仮想的な座標を決め、所定の座標位置に相互配線層、スルーホール、コントラクトホール、各回路素子等を形成する設計自動化の手法が導入されている。この仮想座標のピッチを本明細書では特に「システム配線ピッチ」と称し、また半導体ウェハに設けた多数のユニットセル内を走る配線のピッチを「セル配線ピッチ」と称する。

本発明者等は、D A 設計の一手法として、C M O S L S Iにおいて半導体ウェハ(半導体ベレット)のユニットセル用回路素子形成領域内に、仮

想座標に沿って、縦横に、又は一方に向かって延在する多層又は单層導線と、さらに、ユニットセル相互間に、仮想座標に沿って、縦横に延在する多層導線とを設け、一つの論理回路機能を与えるためのユニットセル内およびユニットセル間の相互配線を、スルーホールおよびコンタクトホールの選択によって行なう方法を検討した。

しかしながら、CMOS論理回路等のMOSLSIにおいて、回路素子上の配線が1層のアルミニウム配線から形成されている場合には、このアルミニウム配線を介して内部の信号観測を行なうこととは特に困難ではない。ところが、集積度の増大に従ってアルミニウムの多層配線構造が必要となるが、下層のアルミニウム配線に対しては測定用のプローブを直接当てることができないために、製品のデバッギングや不良解析時に内部の信号波形を正確に観測できないことが判明した。従って、製造プロセス中に製品の不良要因を正確にとらえ、これをプロセスの初期段階へフィードバックさせて早期に正常な製造条件に設定することが困難と

いに接続されていて、全体として1つの大規模な論理機能を有するシステムを構成している。論理ブロック1自体は、第2図に示すように両端の電源端子3及び4間に多数設けられたユニットセル5の各列からなっており、各ユニットセルの列間又は行間はポリシリコン配線PS及びAθ1で接続され、また例えば1つの列を飛び越えた配線はAθ2で行なわれている。ユニットセル5は例えば、NOR、OR、AND、NAND、フリップフロップ等の論理回路の如く、小規模の単位論理機能を有するセルからなっている。

こうしたVLSIを作成するに当っては、設計期間の短縮、設計工数の削減及び設計品質の向上という観点から、特にCADにより電子計算機を用いて配線配線設計又はレイアウト設計が行なわれるが、この関係上、半導体ウェハ上に予め仮想座標を決め、所定の座標位置に相互配線層、スルーホール、コンタクトホール、各回路素子等を形成する設計自動化の手法を導入する。

このレイアウト設計においては、第3図に示す

なり、いわゆるTAT(Turn Around Time)が長くなってしまう。一方、低加速SEMによる間接的な電位観測手段を用いて内部の電気的状態を検査しようとしても、層間絶縁膜の膜厚等が一様でないために検出信号の振幅が一定でない上に、検査時の操作が容易でないことも判明している。

従って、本発明の目的は、多層配線が施されたIC内部の信号観測を容易かつ正確に行ない、TATを大幅に短縮することにある。このために、本発明によれば、下層配線が層間絶縁膜のスルーホールを介して上部の観測パッドに引出され、ここから内部の信号波形等を観測できるようにしている。

以下、本発明をCMOS論理回路からなるVLSIに適用した実施例を図面参照下で詳細に述べる。

第1図では、中規模の論理機能を有する各論理ブロック1が半導体チップ2に設けられ、各論理ブロック間は多層配線のAθ2(2層目のAθ配線)、Aθ1(1層目のAθ配線)等を介して互

ように半導体ウェハ又はチップ上にXY方向に予め規則的な格子状座標を仮想的に設け、所定の座標位置に相互配線が位置し、その格子点に相互接続用のスルーホール又はコンタクトホールがくるようにプログラミングが行なわれる。すなわち、上記したAθ1は横方向に、Aθ2はPS間にて共に縦方向において、夫々等間隔の仮想座標上に存在するように配線され、全体として規則的なX-Y座標を形成している。第3図では、各ユニットセル5の領域を斜線で示したが、隣接するセル間を多層配線としてのAθ1-Aθ2-Aθ1-PSによって接続する場合もある。なお、Aθ2上には更に3層目のAθ配線Aθ3を設けることができるが、このAθ3も含めた各層のAθ配線やPS配線は、段差を減らして配線の段切れを防ぐために、互いに重なり合わないように他の配線の間に位置せしめられている。

第3図に示したように、各配線は予め決められた規定の座標のピッチ、即ちシステム配線ピッチに沿う如くに設けられるが、本例で重要なことは、

このシステム配線ピッチを可能な限り小さくしてレイアウト上の電子占有面積を縮小している一方、既述した多層配線構造における内部信号観測を行なうための観測パット P_1 又は P_2 が一方のユニットセル列の例えればインバータの出力引出し線上に（或いは他方のユニットセル列の例えればNANDの入力引込み線上に）設けられていることである。

観測パット P_1 においては、第4図及び第5図に示すように、一方のユニットセルの電子の出力引出し線である厚さ $0.35\mu m$ の最下層のポリシリコン配線PSがN型シリコン基板SのフィールドSiO₂膜上に導びかれ、上記した座標の所定の交点（格子点）上において厚さ $0.8\mu m$ のリンシリケートガラス膜PSG1に形成されたスルーホールTH1を介して厚さ $0.8\mu m$ の上層のアルミニウム配線Aθ1と接続されている。そして、同格子点上には更に、厚さ $0.8\mu m$ のリンシリケートガラス膜PSG2に形成されたスルーホールTH2には2層目のAθ2配線と同時に形成された

で、Aθ3に対して電位観測用のプローブを当てることによって、内部の信号波形又は内部信号を直接測定することができ、しかもその観測が極めて容易かつ正確となる。従って、この測定値に基いてユニットセルの良、不良を判別し、不良原因をすぐに製造プロセスへフィードバックして正規の条件に設定できるから、製品の歩留りの向上は勿論、TATの効果的な短縮を実現することができる。また、各パット P_1 、 P_2 の形成位置、特にスルーホールTH1～TH3はCADによるレイアウト設計にとって都合のよい格子点上に存在するから、その位置設定は非常に作業性良く行なうことができる。なお、上記の例はアルミニウムの3層配線の場合であるが、2層配線の場合にはスルーホールTH3及びアルミニウム膜Aθ3は省略されるので、測定プローブはAθ2に対して直接又は間接的に接触させることになる。

次に、上述した観測パットを出力点に有するユニットセルの具体的な例を第8図～第13図について説明する。

アルミニウム膜Aθ2が設けられ、このAθ2はリンシリケートガラス膜PSG3に形成されたスルーホールTH3に3層目のAθ3配線時に設けたアルミニウム膜Aθ3に接続されている。こうして、最下層のポリシリコン配線PSが、同じ格子点位置に設けた各スルーホールTH1～TH3を介して最上のAθ3に接続されていて、ここで内部電子の出力を外部へ引出した観測パット P_1 を構成しているのである。

上記パット P_1 とは別に設けることのできる観測パット P_2 によれば、第6図及び第7図に示すように、上記のAθ2の下側において他方のユニットセルの電子に対する入力を与えるAθ1が設けられ、かつAθ2の上面はガラス膜PSG3のスルーホールTH2を介して上記と同様にアルミニウム膜Aθ3に接続されている。

上記の各観測パット P_1 、 P_2 共に、出力引出し線としてのPS又はAθ2が、システム配線ピッチ上に乗った同じ座標格子点上にて最上のAθ3にまで引出された縦型パット構造としている

ユニットセル5を構成するCMOS論理回路においては、特に第8図に明示するように、N型シリコン基板6にPチャンネルMOSFET部7とNチャンネルMOSFET部8とが設けられ、これら両FET部に亘って共通の各ポリシリコンゲート電極PS₁、PS₂、PS₃、PS₄、PS₅が並行してセル周辺部にまで延びていて、両端側にて端子A、B、C、D、E、A'、B'、C'、D'、E'を夫々形成している。ここで重要なことは、これらの各端子が第3図で示したポリシリコン配線PSと同一のピッチを以って配置されていることである。このピッチは第8図の横方向において1、3、5、7、9を奇数番号で示されるシステム配線ピッチに対応している。この対応をとるために本例では、ゲート電極PS₁～PS₅の形状に述べる独特の工夫がなされている。各ゲート電極をマスクとしてイオン注入法又は拡散法で形成されたFET7側の各P⁺型領域9とFET8側の各N⁺型領域10に対し、適宜位置にてAθ配線11、12、13、14、15がオーミックコン

タクトで接するコンタクトホール 16, 17, 18, 19, 20, 21, 22, 23, 24, 25 が夫々形成されている。ここで注目すべきことは、各コンタクトホール 16~20, 21~25 は夫々横方向に並置されていて各コンタクトホール間をゲート電極が走るという形態ではなく、各コンタクトホールを第 8 図の如く一定の規則性を以って上下に配しており、必要に応じて所定のコンタクトホール付近では 45° の角度に屈曲させていることである。

このように、必要な箇所でゲート電極を屈曲させることによって、各コンタクトホール、例えばホール 17, 20, 18 を横方向に並置した場合に比べて、図示の如く上下に交互に配して相互の間隔をより狭めても各ホールと所定の距離を保持しつつゲート電極 P_{S1}, P_{S2} を設けることができる。つまり、例えばコンタクトホール 17, 20 を横に並べた場合のホール間の間隔 D は、本例に従ってコンタクトホール 17, 20 を上下斜め方向に配すると、より小さな間隔 D' に縮小する

は、N⁺ 型領域 10 に隣接した状態で P⁻ 型ウェル 29 内に 3箇所形成された P⁺ 型領域 30 を介してウェル 29 に電圧 V_{SS} を供給するためのラインである。第 8 図の XI-XI' 断面を示す第 9 図、第 8 図の X-X' 断面を示す第 10 図において、31 はフィールド SiO₂ 膜、32 はゲート酸化膜、33 は 1 層目のリンシリケートガラス膜である。図示省略したが、リンシリケートガラス膜は層間絶縁膜として更に 1 層目の A₀ 配線と、2 層目の A₀ 配線上にも被覆され、また 3 層目の A₀ 配線上にはシラン膜がバッシャーション膜として被せられてよい。

第 8 図のように各配線を施すことによって、各領域 9 をソース又はドレイン領域とする P チャンネル MOSFET Q₁, Q₂, Q₃, Q₇, Q₈ が構成され、かつ各領域 10 をソース又はドレイン領域とする N チャンネル MOSFET Q₄, Q₅, Q₆, Q₉, Q₁₀ が構成され、これらの FET が第 11 図のように結線されて 1 つの排他的論理和 (Exclusive OR) を形成している。この

ことができる。例えば、D が約 10 μm であるのに、D' を約 8 μm とすることができる。このようなコンタクトホールとゲート電極との位置関係を各所に適宜形成することによって、全体としてコンタクトホール間（ひいてはゲート電極間）の間隔を縮小しながら、各ゲート電極の両端に存在する端子 A~E, A'~E' を目的とするシステム配線ピッチに一致する座標上に位置せしめることができる。

なお、ゲート端子 A と D, B' と E' は、A₀ 配線 11~15 と同様、1 層目の A₀ 配線 26, 27 によって互いに接続されている。これらセル内部の 1 層目の A₀ 配線は所望の単位論理機能に従って各種のパターンに予め設定できるが、LSI 全体の設計上はこの 1 層目の A₀ 配線は第 3 図のシステム配線ピッチ（第 8 図では縱方向に表示した偶数番号の座標）に従って配線される。A₀ 配線 11 は、P⁺ 型領域 9 に隣接して形成された N⁺ 型領域 28 を介して基板 6 に電源電圧 V_{DD} を供給するための電源ラインである。また A₀ 配線 12

Exclusive ORにおいて、複数の FET が回路的に並列に接続されている箇所では第 8 図のコンタクトホールは上下に交互に存在する必要があり、このためには各領域 9, 10 はそのようにコンタクトホールを形成し得るに充分な長さ（チャンネル幅）を有していることが望ましい。また、複数の FET が直列に接続されている箇所ではコンタクトホールは必ずしも必要としないが、それらの FET が並列に使用できる場合も考慮して上記と同様に上下にコンタクトホールを形成できるチャンネル幅を確保しておくのがよい。なお、第 8 図では、各 FET 部の夫々に FET が 5 素子ずつ設けるようにしたが、素子数を増加させたい場合には同様の構造を同図の横方向に並置すればよい。

第 8 図の CMOSにおいては、特にその出力点に上述したと同様の観測パット P を設けており、その位置をやはり上述した座標の格子点上にとっている。第 12 図及び第 13 図に詳しく示すように、このパット P においては、フィールド SiO₂

膜31上にまずポリシリコン配線34が走っており、この上にリンシリケートガラス膜33のスルーホール35を介して上記のA8配線15が接続され、更にこのA8配線15上にリンシリケートガラス膜36が被せられ、これに形成したスルーホール37に上層のアルミニウム配線材料層38が設けられている。この配線材料層38には仮想線の如くに測定用プローブ39を充分に当てがえるように、パッセーション用にプラズマ析出法で被覆したシリコン空化膜40に広めの開口41が形成されている。

このように構成された観測用パッドPを用いてプローピングを行なえば、ユニットセル内の論理回路の特性を容易にしかも正確に測定することができる。この種のCMOS型VLSIの如く多層配線構造の複雑なデバイスであっても、その不良解析を充てんに行なうことができることになる。

また、本例では、セル内配線としてのポリシリコンゲート電極を必要なコンタクトホール付近で

MoSi_2 -ポリシリコンからなるメタルゲートや、A8ゲートでも差支えない。なお、上述のユニットセル構造はExclusive NORにも適用できる他、種々の論理回路用に変形できる。

本発明は、上述した如く、下層配線の所定箇所上に形成したスルーホールを介して上層配線に接続し、これを観測パッドとして用いているので、多層配線構造の複雑な装置でもその内部の信号観測を容易かつ正確に行なうことができる。このため、この観測結果に基く不良要因によりデバイス製造条件を早期に修正することができる。

4. 図面の簡単な説明

図面は本発明の実施例を示すものであって、第1図は第1の実施例による半導体チップの概略平面図、第2図はその論理ブロックの1つの概略平面図、第3図は論理配線ピッチを示す座標と相互配線上の観測パッドの位置とを示す概略図、第4図は観測パッド位置を示す拡大平面図、第5図はその構造を示す第4図のV-V線断面図、第6図は他の観測パッド位置を示す拡大平面図、第7図

は屈曲せしめることにより、そのピッチを小さくして最小のシステム配線ピッチに合せることができるから、CADによるレイアウト設計時にシステム配線ピッチ及びセルサイズを共に小さくできる。この結果、ユニットセルの密度を増大させると共に、ユニットセル間の配線チャンネル部における配線チャンネル数を大幅に増加させることができあり、ひいてはチップサイズ自体を著しく縮小できることになる。

以上、本発明を例示したが、上述の実施例は本発明の技術的思想に基いて更に変形が可能である。例えば、上述のプローピングに当っては、プローブを接触させる配線材料層（パッド）は多層配線構造によっては2層目のアルミニウムであったり、3層目のアルミニウムであってもよい。また、使用する配線及び層間絶縁膜、パッセーション膜の材質は様々であってよい。また、ポリシリコングート電極の上述した屈曲角度や形状は上記のものに限ることなく、種々変更することができる。またゲート電極はポリシリコン以外の例えは、

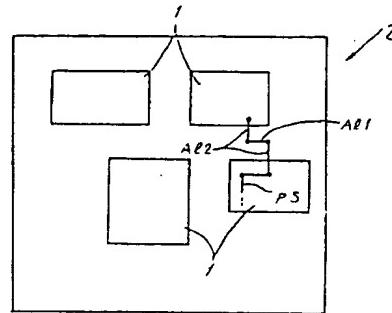
はその構造を示す第5図のV-V線断面図、第8図は論理ブロックを構成するユニットセル（CMOS論理回路）の拡大平面図、第9図は第8図のXI-XI線に沿う縦断面図、第10図は第8図のX-X線に沿う縦断面図、第11図は第8図のユニットセルを構成するExclusive ORの等価回路図、第12図は第8図における観測パッド部分の拡大平面図、第13図は第12図のXI-XI線に沿う断面図である。

なお、図面に用いられている符号において、1は論理ブロック、5はユニットセル、7はPチャンネルMOSFET部、8はNチャンネルMOSFET部、9は P^+ 型領域、10は N^+ 型領域、11～15はA8配線、16～25はコンタクトホール、28は N^+ 型給電領域、30は P^+ 型給電領域、34はポリシリコン配線、38はA8配線材料層、39はプローブ、40はシリコン空化膜、A81は1層目のA8配線、A82は2層目のA8配線、PS及びPS₁～PS₃はポリシリコンゲート電極、A～E及びA'～E'は端子、P、

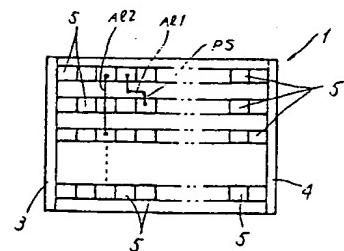
P_1 及び P_2 は観測パッド、 $PSG_1 \sim PSG_3$ 及び $33, 36$ はリンシリケートガラス膜、 $TH_1 \sim TH_3$ 及び $35, 37$ はスルーホールである。

代理人 弁理士 小川勝男

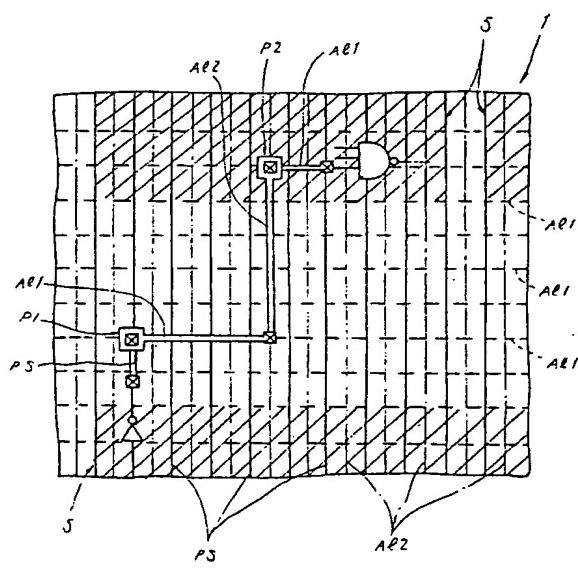
第 1 図



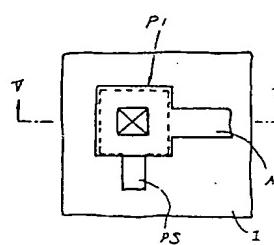
第 2 図



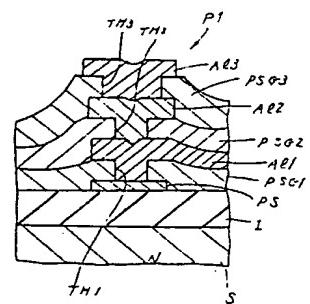
第 3 図



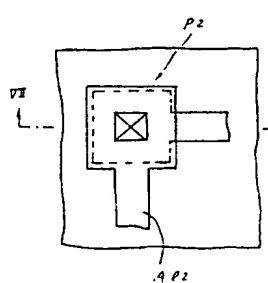
第 4 図



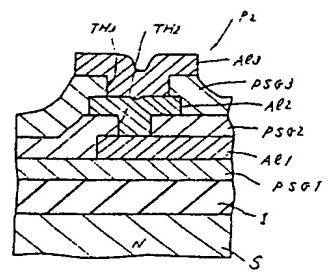
第 5 図



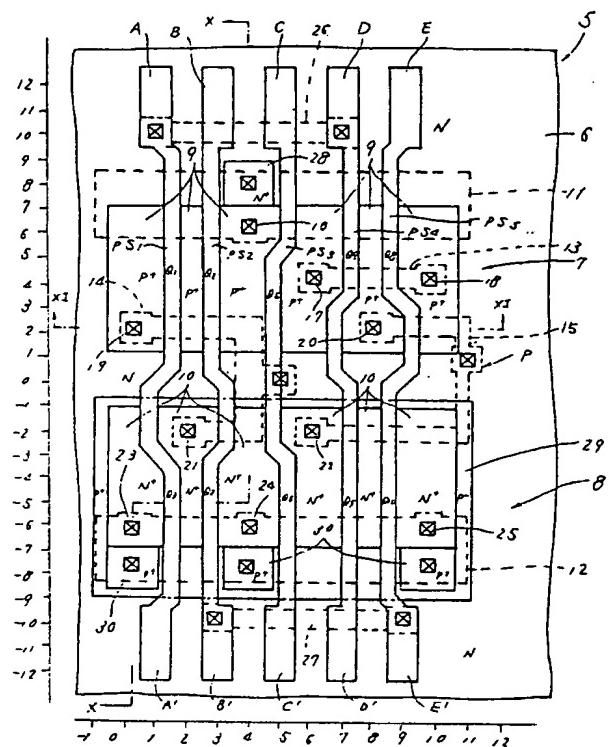
第 6 図



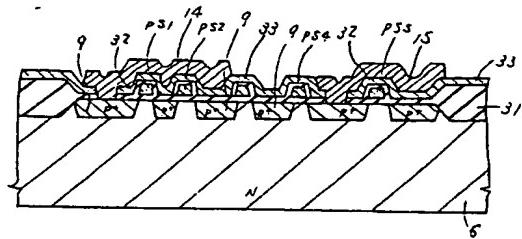
第 7 図



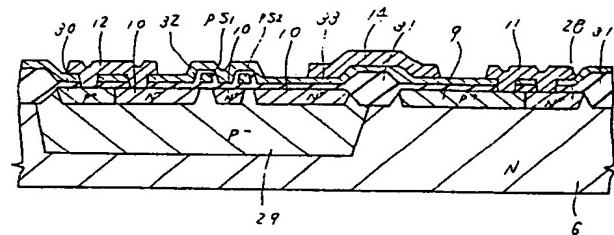
第 8 図



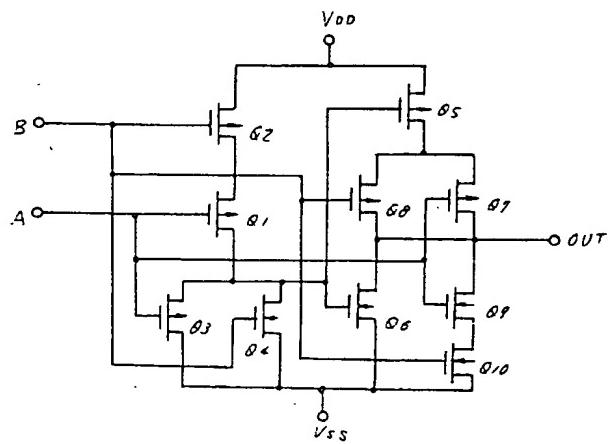
第 9 図



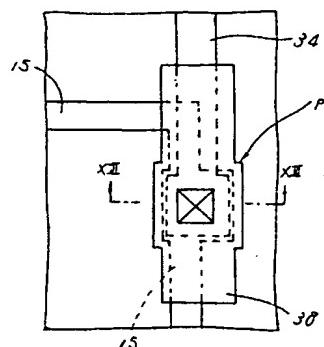
第 10 図



第 11 図



第 12 図



第 13 図

